

DIGITAL SIGNAL RECEPTION CIRCUIT

Publication number: JP6284118

Publication date: 1994-10-07

Inventor: ONO MASAHIKO

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H04L7/027; H04L25/03; H04L7/027; H04L25/03; (IPC1-7): H04L7/027; H04L25/03

- European:

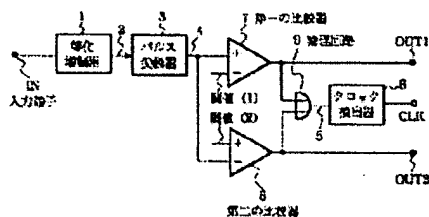
Application number: JP19930065540 19930324

Priority number(s): JP19930065540 19930324

Report a data error here

Abstract of JP6284118

PURPOSE: To extend the transmission distance by suppressing jitter of a detection signal generated due to waveform distortion of a cable so as to enhance the stability of a clock extract circuit. **CONSTITUTION:** After a reception signal is subjected to equalization amplification by an equalization amplifier 1, the amplified signal is waveform-shaped and eye-pattern locus is made narrow by a pulse sharpener 3, a 1st comparator 7 and a 2nd comparator 8 decide a code and a clock extract device 6 is driver via a logic circuit 9. Jitter of a pulse width of a detection signal is suppressed by sharpening the pulse thereby allowing the clock extract device 6 to be operated stably against code interference caused in a long distance cable.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-284118

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/027				
25/03	Z	9199-5K		
		7741-5K	H 0 4 L 7/ 02	A

審査請求 有 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平5-65540

(22)出願日 平成5年(1993)3月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大野 正彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 井出 直孝

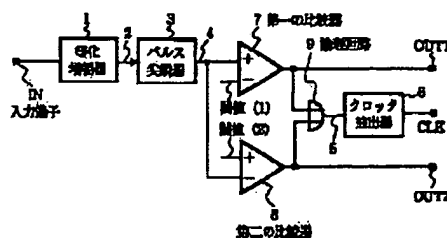
(54)【発明の名称】 デジタル信号受信回路

(57)【要約】

【目的】 ケーブルによる波形歪で発生する検出信号のジッタを抑圧し、クロック抽出回路の安定性を高めて伝送距離を伸張する。

【構成】 デジタル信号受信回路において、受信信号を等化増幅器1で等化増幅した後に、パルス尖鋭器3で波形整形し、アイパターン軌跡を求めてから第一の比較器7および第二の比較器8で符号判定し、論理回路9経由でクロック抽出器6を駆動する。

【効果】 パルスを尖鋭化することにより検出信号のパルス幅のジッタを抑圧することができ、クロック抽出器が長距離ケーブルで発生する符号間干渉に対して安定した動作を行うことができる。



1

【特許請求の範囲】

【請求項1】 受信信号を等化増幅する等化増幅器と、この等化増幅器の出力パルスレベルを互いに極性の異なる二つの異なる閾値とそれぞれ比較する第一の比較器および第二の比較器と、

この第一の比較器および第二の比較器からの出力の論理和を出力する論理回路と、

この論理回路の出力を入力としクロックを抽出して出力するクロック抽出器とを備えたことを特徴とするデジタル信号受信回路。

【請求項2】 前記等化増幅器の出力パルス波形を入力とし、その出力パルス波形を尖鋭化して前記第一の比較器および前記第二の比較器に出力するパルス尖鋭器を備えた請求項1記載のデジタル信号受信回路。

【請求項3】 前記等化増幅器は、周波数の平方根に比例する周波数特性を有する等化器と、この等化器の出力を増幅する増幅器と、この増幅器の出力を前記等化器にフィードバックし被等化ケーブルの長さにあわせて増幅出力を調整する自動利得制御器とにより構成された請求項1記載のデジタル信号受信回路。

【請求項4】 前記パルス尖鋭器は、前記等化増幅器の出力を入力とするエミッタ接地のNPNトランジスタおよびPNPトランジスタと、この二つのトランジスタの各コレクタ出力に接続された二つの積分回路と、この二つの積分回路の各々の出力を入力とし反転加算増幅を行う反転加算増幅器とにより構成された請求項1記載のデジタル信号受信回路。

【請求項5】 前記クロック抽出器は、前記論理回路の出力を入力とし位相を比較する位相比較器と、この位相比較器の出力を入力とするローパスフィルタと、このローパスフィルタの出力を入力としその出力を前記位相比較器にフィードバックする電圧制御発振器とにより構成された請求項1記載のデジタル信号受信回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル信号の伝送に利用する。本発明は、受信信号からのクロック抽出に関し、クロック抽出回路の安定性を高め伝送距離を伸張することができるデジタル信号受信回路に関する。

【0002】

【従来の技術】 従来のデジタル信号受信回路は、等化増幅器の出力信号をそのまま符号判定用の比較器に入力していた。

【0003】

【発明が解決しようとする課題】 このような従来のデジタル信号受信回路は、等化増幅器の出力をそのまま比較器で閾値と比較していたために、受信信号のビットパターン（+1、0、-1符号のランダムシーケンス）に応じて比較結果の2値（1、0）信号のパルス幅が変動し、二つの比較器の出力のOR出力にも同量のパルス幅

2

の変動が伝わり、変動幅が大きくなるとこれを入力とするクロック抽出回路がその変動に追従できずにクロック抽出ができなくなり、また、追従できたとしても、この変動が抽出クロックのジッタとして一部残り、クロック精度を劣化させる欠点があった。

【0004】 さらに、ケーブル長が長くなるほど等化増幅器で等化しきれなくなり、クロック抽出器が動作できなくなって、これが結果的にOR出力パルス幅の変動量を増加させ、伝送距離を狭める要因となっていた。

【0005】 本発明はこのような問題を解決するもので、ケーブルによる波形歪で発生する抽出信号のジッタを抑圧し、クロック抽出回路の安定性を高めて伝送距離を伸張することができる受信回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、受信信号を等化増幅する等化増幅器と、この等化増幅器の出力パルスレベルを互いに極性の異なる二つの異なる閾値とそれぞれ比較する第一の比較器および第二の比較器と、この第一の比較器および第二の比較器からの出力の論理和を出力する論理回路と、この論理回路の出力を入力としクロックを抽出して出力するクロック抽出器とを備えたことを特徴とする。

【0007】 前記等化増幅器の出力パルス波形を入力とし、その出力パルス波形を尖鋭化して前記第一の比較器および前記第二の比較器に出力するパルス尖鋭器を備え、前記等化増幅器は、周波数の平方根に比例する周波数特性を有する等化器と、この等化器の出力を増幅する増幅器と、この増幅器の出力を前記等化器にフィードバックし被等化ケーブルの長さにあわせて増幅出力を調整する自動利得制御器とにより構成されることが望ましく、また、前記パルス尖鋭器は、前記等化増幅器の出力を入力とするエミッタ接地のNPNトランジスタおよびPNPトランジスタと、この二つのトランジスタの各コレクタ出力に接続された二つの積分回路と、この二つの積分回路の各々の出力を入力とし反転加算増幅を行う反転加算増幅器とにより構成され、前記クロック抽出器は、前記論理回路の出力を入力とし位相を比較する位相比較器と、この位相比較器の出力を入力とするローパスフィルタと、このローパスフィルタの出力を入力としその出力を前記位相比較器にフィードバックする電圧制御発振器とにより構成されることが望ましい。

【0008】

【作用】 受信信号を等化増幅し、その出力パルス波形を尖鋭化する。尖鋭化された出力パルスレベルを二つの異なる閾値と各々比較し、その論理和出力をクロック抽出器の入力とする。

【0009】 このように、等化後の波形を尖鋭化してから比較することにより、アイパターンの広がりに基づく比較器からの出力のパルス幅の変動を抑圧することがで

き、変動が抑圧された信号を入力することによりクロック抽出器の安定度が高められ、被等化ケーブルの長さを延長することができる。

【0010】

【実施例】次に、本発明実施例を図面に基いて説明する。図1は本発明実施例の全体構成を示すブロック図、図2は本発明実施例における等化増幅器の構成例を示すブロック図、図3は本発明実施例におけるパルス尖鋭器の構成例を示す回路図、図4は本発明実施例におけるクロック抽出器の構成例を示すブロック図である。

【0011】本発明実施例は、受信信号を等化増幅する等化増幅器1と、この等化増幅器1の出力パルスレベルを互いに互いの異なる二つの異なる閾値とそれぞれ比較する第一の比較器7および第二の比較器8と、この第一の比較器7および第二の比較器8からの出力の論理和を出力する論理回路9と、この論理回路9の出力を入力とレクロックを抽出して出力するクロック抽出器6とを備え、さらに、本発明の特徴として、等化増幅器1の出力パルス波形を入力とし、その出力パルス波形を尖鋭化して第一の比較器7および第二の比較器8に出力するパルス尖鋭器3を備える。

【0012】等化増幅器1は、周波数の平方根に比例する周波数特性を有する等化器（以下 \sqrt{f} 等化器という）10と、この \sqrt{f} 等化器10の出力を増幅する増幅器11と、この増幅器11の出力を \sqrt{f} 等化器10にフィードバックし被等化ケーブルの長さにあわせて増幅出力を調整するAGC（自動利得）制御器12とにより構成される。

【0013】また、パルス尖鋭器3は、等化増幅器1の出力を入力とするエミッタ接地のNPNトランジスタ T_{r1} およびPNPトランジスタ T_{r2} と、この二つのトランジスタ T_{r1} 、 T_{r2} の各コレクタ出力に接続された二つの微分回路と、この二つの微分回路の各々の出力を入力とし反転加算増幅を行う反転加算増幅器とにより構成され、クロック抽出器6は、論理回路9の出力を入力とし位相を比較する位相比較器21と、この位相比較器21の出力を入力とするローパスフィルタ22と、このローパスフィルタ22の出力を入力としその出力を位相比較器21にフィードバックする電圧制御発振器23とにより構成される。

【0014】次に、このように構成された本発明実施例の動作について説明する。

【0015】受信信号は入力端子INから入力し、等化増幅器1でケーブルの周波数特性と逆特性の相償を受けて増幅され、符号間干渉のないパルスとなってパルス尖鋭器3に導かれる。パルス尖鋭器3はパルスのレベルが高いほど高ゲインな非線形回路であり、従って、ここを通過したパルスは波形が鋭く変化したものとなる。

【0016】第一の比較器7は正の閾値（1）と尖鋭化されたパルスレベルとを比較し、また、第二の比較器8

は負の閾値（2）と尖鋭化されたパルスレベルとを各々比較し、閾値を超えている間は2値信号の“1”を出力する。従って、受信信号が“+1”信号のときは第一の比較器7から2値信号の“1”が出力し、受信信号が“-1”信号のときは第二の比較器8から2値信号の“1”が出力する。そのときの波形を図5に示す。

【0017】これらの2値信号は論理回路9の入力となり、論理回路9からクロック抽出器6に出力される。クロック抽出器6は入力信号に応じて図6に示すように継続的にクロックCLKを発生する。

【0018】図7は従来例における比較器の入出力波形を示したもので、等化増幅器1の出力のアイパターンに応じて比較結果が得られるが、アイパターンのアイの広がりに応じて比較結果のパルス幅に変動が発生する。これに対し本発明では、図5に示すようにアイパターンが尖鋭化されているためこの変動幅は縮小し、極くわずかに残るだけとなる。

【0019】次に、図1に示す各ブロックの動作について説明する。まず、図2を参照して等化増幅器1の動作について説明する。

【0020】 \sqrt{f} 等化器10の出力を増幅器11で増幅し、AGC制御器12でフィードバックさせて \sqrt{f} 等化器10を制御し、ケーブル長に合わせて調整する。増幅器11の出力レベルはケーブル長によらず一定となる。

【0021】次に、図3を参照してパルス尖鋭器3の動作について説明する。

【0022】等化後の波形はエミッタ接地のNPNトランジスタ T_{r1} とPNPトランジスタ T_{r2} とのベースに加えられる。正入力の場合はNPNトランジスタ T_{r1} が閉状態となり、ベース・エミッタ間電圧の変化に応じてコレクタ電流が変化し、正電源とコレクタ間に接続された第一の抵抗 R_1 から出力電圧が発生する。トランジスタのベース・エミッタ間電圧とコレクタ電流との関係はダイオード特性を有しているため、この回路はダイオードの電圧/電流変換特性を有することとなる。つまり、入力信号電圧が高レベルなほどコレクタ電流は指数関数的に増大し、出力電圧も指数関数的に増加する。

【0023】負入力の場合は、PNPトランジスタ T_{r2} が閉状態となり負電源とコレクタとの間に接続された第二の抵抗 R_2 から出力信号が発生する。これら二つの出力信号は第一のコンデンサ C_1 および第二のコンデンサ C_2 により直流分が取除かれ、オペレーションアンプ13、第三の抵抗 R_3 、第四の抵抗 R_4 、第五の抵抗 R_5 とにより構成される反転加算増幅器に入力され、オペレーションアンプ13の出力端子からダイオード特性に従って波形が尖鋭化されたパルスとして出力される。

【0024】次いで、図4を参照してクロック抽出器6の動作について説明する。この例はPLL（位相ロックループ）の場合の構成を示したもので、位相比較器21、ローパスフィルタ22、電圧制御発振器23のフィ

ードバックループで構成されており、論理回路9の出力5を引込んで発振する。

【0025】位相比較器21として2入力の立上りの位相を比較するものを例にとると、図6に示すように電圧制御発振器23からの出力信号14に対して、論理回路9の出力がジッタを生じていることとなる。このジッタが大きくなると、前述したようにフィードバックループとしての安定限界を越えて動作できなくなるが、本発明では以上説明したようにこのジッタを抑えPLLを安定に動作させている。当然ながら本実施例では、符号判定のため、出力クロックCLKをディレイ回路で90°遅らせてから使用する。ケーブル長が長くなると等化増幅器1の出力のアイパターンに符号間干渉が増加し、アイパターンの軌跡が広がるが、パルス尖鋭器3により第一の比較器7および第二の比較器8の入力におけるアイパターンの広がりを抑えるので、第一の比較器7および第二の比較器8の出力のパルス幅の変動は抑えられ、PLLはアイパターンが劣化しても安定して動作する。これによりケーブル長をより長く設定することができる。

【0026】

【発明の効果】以上説明したように本発明によれば、等化後の波形を尖鋭化してから比較することができるので、アイパターンの広がりに基づく比較器からの出力のパルス幅変動を抑圧することができ、それを入力とするクロック抽出器の安定度が高められケーブル長を延長することができる効果がある。

【図面の簡単な説明】

【図1】本発明実施例の全体構成を示すブロック図。

【図2】本発明実施例における等化増幅器の構成例を示すブロック図。

すブロック図。

【図3】本発明実施例におけるパルス尖鋭器の構成例を示す回路図。

【図4】本発明実施例におけるクロック抽出器の構成例を示すブロック図。

【図5】本発明実施例における比較器入出力波形を示す図。

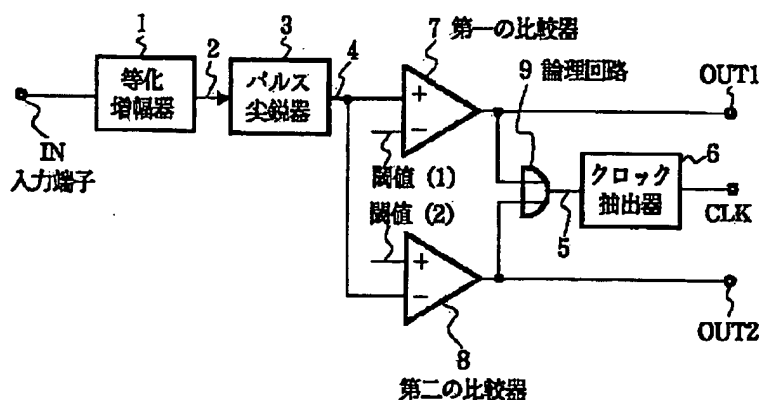
【図6】本発明実施例におけるクロック抽出器のタイムチャート。

【図7】従来例における比較器入出力波形を示す図。

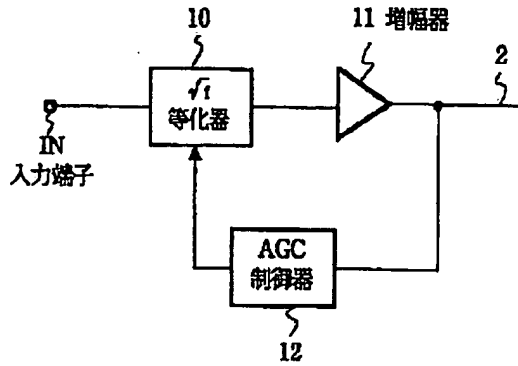
【符号の説明】

- 1 等化増幅器
- 2 等化増幅器出力
- 3 パルス尖鋭器
- 4 パルス尖鋭器出力
- 5 論理回路出力
- 6 クロック抽出器
- 7 第一の比較器
- 8 第二の比較器
- 9 論理回路
- 10 \sqrt{f} 等化器
- 11 増幅器
- 12 AGC制御器
- 13 オペレーションアンプ
- 14 電圧制御発振器出力
- 21 位相比較器
- 22 ローパスフィルタ
- 23 電圧制御発振器

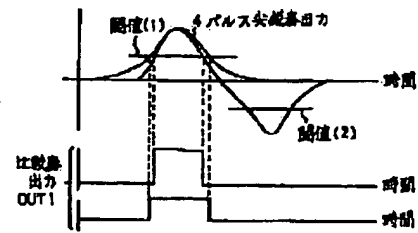
【図1】



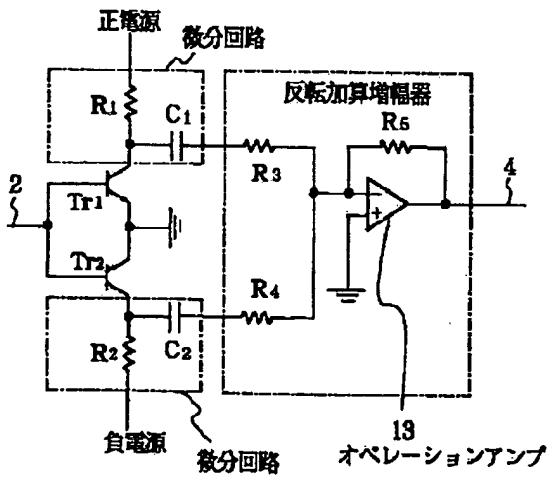
【図2】



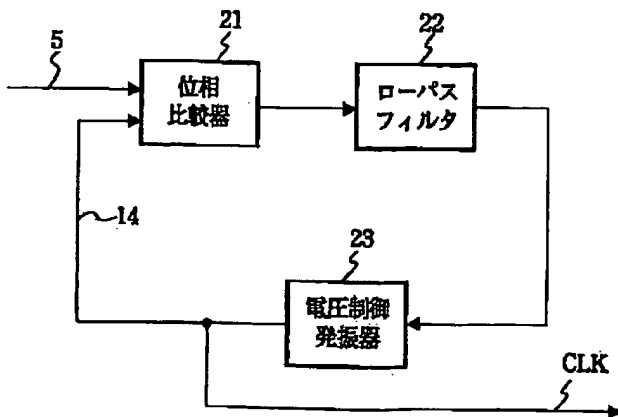
【図5】



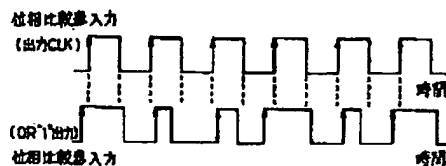
【図3】



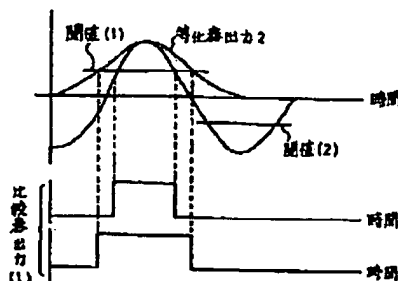
【図4】



【図6】



【図7】



【手続補正書】

【提出日】平成6年6月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 受信信号を等化増幅する等化増幅器と、この等化増幅器の出力パルスレベルを互いに極性の異なる二つの異なる閾値とそれぞれ比較する第一の比較器および第二の比較器と、

この第一の比較器および第二の比較器からの出力の論理和を出力する論理回路と、

この論理回路の出力を入力としクロックを抽出して出力するクロック抽出器とを備えたことを特徴とするデジタル信号受信回路。

【請求項2】 前記等化増幅器の出力パルス波形を入力とし、その出力パルス波形を尖鋭化して前記第一の比較器および前記第二の比較器に出力するパルス尖鋭器を備えた請求項1記載のデジタル信号受信回路。

【請求項3】 前記等化増幅器は、周波数の平方根に比例する周波数特性を有する等化器と、この等化器の出力を増幅する増幅器と、この増幅器の出力を前記等化器にフィードバックし被等化ケーブルの長さにあわせて増幅出力を調整する自動利得制御器とにより構成された請求項1記載のデジタル信号受信回路。

【請求項4】 前記パルス尖鋭器は、前記等化増幅器の出力を入力とするエミッタ接地のNPNトランジスタおよびPNPトランジスタと、この二つのトランジスタのコレクタ出力にそれぞれ接続された負荷抵抗と、この負荷抵抗に生じる電圧から直流成分を除去した電圧信号をそれぞれ入力し反転加算増幅を行う反転加算増幅器とにより構成された請求項1記載のデジタル信号受信回路。

路。

【請求項5】 前記クロック抽出器は、前記論理回路の出力を入力とし位相を比較する位相比較器と、この位相比較器の出力を入力とするローパスフィルタと、このローパスフィルタの出力を入力としその出力を前記位相比較器にフィードバックする電圧制御発振器とにより構成された請求項1記載のデジタル信号受信回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】 前記等化増幅器の出力パルス波形を入力とし、その出力パルス波形を尖鋭化して前記第一の比較器および前記第二の比較器に出力するパルス尖鋭器を備え、前記等化増幅器は、周波数の平方根に比例する周波数特性を有する等化器と、この等化器の出力を増幅する増幅器と、この増幅器の出力を前記等化器にフィードバックし被等化ケーブルの長さにあわせて増幅出力を調整する自動利得制御器とにより構成されることが望ましく、また、前記パルス尖鋭器は、前記等化増幅器の出力を入力とするエミッタ接地のNPNトランジスタおよびPNPトランジスタと、この二つのトランジスタのコレクタ出力にそれぞれ接続された負荷抵抗 (R_1 、 R_2) と、この負荷抵抗の各々の出力から直流成分を除去するようにそれぞれコンデンサ (C_1 、 C_2) を通過させた信号を入力とし反転加算増幅を行う反転加算増幅器とにより構成され、前記クロック抽出器は、前記論理回路の出力を入力とし位相を比較する位相比較器と、この位相比較器の出力を入力とするローパスフィルタと、このローパスフィルタの出力を入力としその出力を前記位相比較器にフィードバックする電圧制御発振器とにより構成されることが望ましい。